



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03297137 A**(43) Date of publication of application: **27.12.91**

(51) Int. Cl.

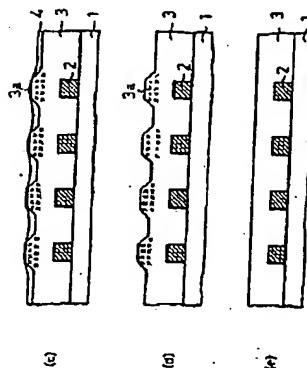
H01L 21/306
H01L 21/302
H01L 21/31

(21) Application number: **02100951**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **16.04.90**(72) Inventor: **KIRIYAMA SHUJI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE** COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To flatten an interlayer insulating film in a short time by a wet etching operation by a method wherein a resist is applied to be thin and the difference in an etching rate by an impurity concentration is utilized.

CONSTITUTION: An interconnection pattern 2 and an interlayer insulating film 3 are formed on a wafer substrate 1. Then, a resist film 4 whose viscosity is low is applied in such a way that protruding parts of the interlayer insulating film 3 are hardly covered. In this state, ions are implanted. Thereby, the ions are implanted selectively into the protruding parts of the interlayer insulating film 3. At this time, an accelerating voltage is selected in such a way that ion seeds are not pierced through the resist film 4 at recessed parts of the interlayer insulating film 3. Then, the resist film 4 is removed; after that, the interlayer insulating film 3 is etched wholly together with ion implanted parts 3a. Thereby, the ion implanted parts 3a are etched faster than other parts, and the interlayer insulating film 3 can be flattened in a short time.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-297137

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月27日

H 01 L 21/306
21/302
21/306
21/31

E 2104-4M
L 8122-4M
M 2104-4M

6940-5F H 01 L 21/95

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-100951

⑰ 出 願 平2(1990)4月18日

⑱ 発 明 者 桐 山 修 司 熊本県菊池郡西合志町御代志997 三菱電機株式会社熊本製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ウエハ基板上に配線パターンを形成した後、全面に層間絶縁膜を形成する工程、前記層間絶縁膜の配線パターン上部の凸部となった部分がほとんど覆われないようにレジストを塗布し、その後、前記レジストをマスクにして前記層間絶縁膜の凸部のみに選択的にイオン注入する工程、前記レジストを除去した後、前記イオン注入による不純物濃度の違いによるエッチングレートの違いを利用してエッチングを行い、前記層間絶縁膜を平坦化する工程とからなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の層間絶縁膜の平坦化を目的とした半導体装置の製造方法に関するものである。

(従来の技術)

第2図は従来のこの種の層間絶縁膜の平坦化を示す工程断面図であり、この図において、1はウエハ基板(配線形成前までに形成された各種膜を含む)、2は前記ウエハ基板1上に形成された配線パターン、3は前記ウエハ基板1上全面に形成された層間絶縁膜、4は平坦化のために形成されたレジスト膜である。

次に、この平坦化工程について説明する。

まず、第2図(エ)に示すように、半導体装置の製造過程で、配線前までに形成された各種膜パターンを含むウエハ基板1上に、配線パターン2を形成する。さらに、配線パターン2の上に、層間絶縁膜3を化学的气相成長法等により形成する。層間絶縁膜3は、下部配線である配線パターン2の存在する部分が突出し、逆に配線パターン2のない部分はへこんだ状態に、いわゆる凹凸状に形成される(実際には、配線パターン2を形成前の各種膜の凹凸により複雑な形状を示すが、ここでは簡略化して示している。)。この状態のまま、

層間絶縁膜3の上に次の配線を形成すると、配線の段差被覆性が悪くなったり、あるいは写真製版時のレジスト塗布膜厚がばらついたり、さらにはそれによって配線幅がばらつく。すなわち、写真製版時には、層間絶縁膜3の凸部はレジストが薄く、凹部は厚くなっているため、それによって凹部を適正露光条件にすると、凸部は露光過剰気味になり、配線幅がばらつく。また、凸部を適正露光条件にすると、凹部は露光不足となり、この場合も配線幅がばらつく。また、配線自身の凹凸による反射により、露光が乱される等の問題が生じる。それを解決するため、層間絶縁膜3を下記のようにして平坦化する。

すなわち、第2図(b)では、熱処理により、層間絶縁膜3をリフローしている。これは熱処理条件、層間絶縁膜3の種類、不純物の種類、濃度によって平坦性は異なるが、第2図(b)では完全に平坦化されていない状態を示す。

これをさらに平坦化するため、従来は第2図(c)に示すようにレジスト膜4を厚く塗布し(厚

く塗布すると、レジストの粘性により表面状態は平坦になる。)、レジスト膜4と層間絶縁膜3のエッチングレートが同じになるようなドライエッチング条件で、第2図(d)に示すように、層間絶縁膜3の凸部がなくなるまで全面エッチングしていた。

(発明が解決しようとする課題)

従来の半導体装置の製造方法は、以上のようにして層間絶縁膜3の平坦化を行っているので、レジスト膜4を厚く塗布しなければならず、また、レジスト膜4を長時間エッチングすることが必要で、そのため異物等の発生原因となる等の課題点があった。

この発明は、上記のような課題点を解消するためになされたもので、レジスト膜を薄くできるとともに、ウエットエッチングで短時間で層間絶縁膜の平坦化を図れる半導体装置の製造方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置の製造方法は、層間

絶縁膜の凸部のみにイオン注入できるように、レジストを薄く塗布するとともに、不純物濃度によるエッチングレートの差を利用して、層間絶縁膜を平坦化するものである。

(作用)

この発明においては、層間絶縁膜の凸部のみに選択的にイオン注入することから、その不純物濃度の違いにより、エッチングレートに差が生じ、イオン注入された層間絶縁膜の凸部のエッチングレートが速くなり、平坦化される。

(実施例)

以下、この発明の一実施例を第1図について説明する。

第1図において、第2図と同一符号は同じものを示し、3aは前記層間絶縁膜3の凸部に選択的にイオン注入された部分(イオン注入部という)である。

次に、平坦化工程について説明する。

まず、第1図(a)、(b)に示すように、第2図(a)、(b)と同様にしてウェハ基板1上

に配線パターン2、層間絶縁膜3を形成する。次に、第1図(c)に示すように、特許の低いレジスト膜4を層間絶縁膜3の凸部がほとんど覆われないように塗布し、その状態でイオン注入する。これにより、層間絶縁膜3の凸部に選択的にイオン注入される。このとき、加速電圧は、イオン種が層間絶縁膜3の凹部にあるレジスト膜4を突き抜けないように選ぶ必要がある。

次に、第1図(d)に示すように、レジスト膜4を除去した後、第1図(e)に示すように、層間絶縁膜3をイオン注入部3aとともに全面エッチングする。このとき、イオン注入で不純物の濃度の高い部分、すなわちイオン注入部3aは、イオン注入されなかった部分よりエッチングレートが速いため、速くエッチングされ、層間絶縁膜3は平坦化される。平坦化するためには、エッチングレート比を調整する必要があるが、これはイオン注入のドーズ量および加速電圧(注入深さ)を適度に選ぶことにより可能となる。また、適度の熱処理による拡散により、不純物を深く入れるこ

とができる。

なお、上記実施例では、層間絶縁膜3を形成した後、熱処理を加え、リフローしてからレジスト膜4の塗布、イオン注入を行っているが、層間絶縁膜3を形成した直後にレジスト膜4の塗布、イオン注入を行い、熱処理でリフローと不純物の拡散を兼ねてもよい。

〔発明の効果〕

以上説明したように、この発明は、ウェハ基板の上に配線パターンを形成した後、全面に層間絶縁膜を形成する工程、層間絶縁膜の配線パターン上部の凸部となった部分がほとんど覆われないようにレジストを塗布し、その後、レジストをマスクにして層間絶縁膜の凸部のみに選択的にイオン注入する工程、前記レジストを除去した後、前記イオン注入による不純物濃度の差によるエッチングレートの差を利用してエッチングを行う工程により、層間絶縁膜を平坦化するようにしたので、異物付着の要因を除去できるとともに、平坦化の際のエッチングに層間絶縁膜の凸部が速くエッチ

ングされ、容易に平坦化できる。

また、イオン注入の不純物濃度の制御により、さらに精度よく、平坦化が図れる等の効果がある。

4. 図面の簡単な説明

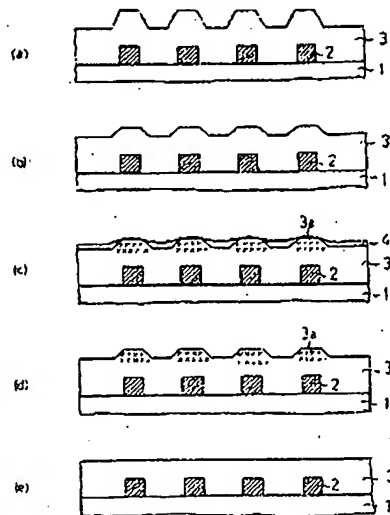
第1図はこの発明の一実施例による半導体装置の製造方法を示す工程断面図、第2図は従来の半導体装置の製造方法を示す工程断面図である。

図において、1はウェハ基板、2は配線パターン、3は層間絶縁膜、3aはイオン注入部、4はレジスト膜である。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 隆 雄 (外2名)

第 1 図



1:ウェハ基板
2:配線パターン
3:層間絶縁膜
3a:イオン注入部
4:レジスト膜

第 2 図

